

DIALOG(R)File 345:Inpadoc/Fam. & Legal Stat

(c) 2003 EPO. All rts. reserv.

14738764

Basic Patent (No,Kind,Date): WO 9848403 A1 19981029 <No. of Patents: 005>

ACTIVE MATRIX LIGHT EMITTING DIODE PIXEL STRUCTURE AND METHOD (English)

Patent Assignee: SARNOFF CORP (US)

Author (Inventor): DAWSON ROBIN MARK ADRIAN; KANE MICHAEL GILLIS; HSU JAMES

YA-KONG; HSUEH FU-LUNG; IPRI ALFRED CHARLES; STEWART ROGER GREEN

Designated States : (National) JP; KR (Regional) AT; BE; CH; CY; DE; DK;

ES; FI; FR; GB; GR; IE; IT; LU; MC; NL; PT; SE

Filing Details: WO 130000 With international search report; Before  
expiration of time limit for amending the claims and to be republished in  
the event of the receipt of the amendments

IPC: \*G09G-003/10;

Derwent WPI Acc No: \*G 98-583910; G 98-583910

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
EP 978114	A1	20000209	EP 98918744	A	19980423
EP 978114	A4	20030319	EP 98918744	A	19980423
JP 2002514320	T2	20020514	JP 98546378	A	19980423
US 6229506	BA	20010508	US 64696	A	19980422
WO 9848403	A1	19981029	WO 98US8367	A	19980423 (BASIC)

Priority Data (No,Kind,Date):

WO 98US8367 W 19980423

US 44174 P 19970423

US 64696 A 19980422

US 64697 A 19980422

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

012166998 \*\*Image available\*\*

WPI Acc No: 1998-583910/199849

XRFX Acc No: N98-454866

Active light emitting diode pixel structure for matrix display - includes  
LED pixel structure which incorporates current source for loading data  
into pixel via data line

Patent Assignee: SARNOFF CORP (SARN-N)

Inventor: DAWSON R M A; HSU J Y; HSUEH F; IPRI A C; KANE M G; STEWART R G

Number of Countries: 021 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9848403	A1	19981029	WO 98US8367	A	19980423	199849 B
EP 978114	A1	20000209	EP 98918744	A	19980423	200012
			WO 98US8367	A	19980423	
US 6229506	B1	20010508	US 9744174	P	19970423	200128
			US 9864696	A	19980422	
KR 2001020114	A	20010315	KR 99709657	A	19991019	200157
JP 2002514320	W	20020514	JP 98546378	A	19980423	200236
			WO 98US8367	A	19980423	

Priority Applications (No Type Date): US 9864697 A 19980422; US 9744174 P  
19970423; US 9864696 A 19980422

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

WO 9848403	A1	E	30	G09G-003/10	
------------	----	---	----	-------------	--

Designated States (National): JP KR

Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LU  
MC NL PT SE

EP 978114	A1	E		G09G-003/10	Based on patent WO 9848403
-----------	----	---	--	-------------	----------------------------

Designated States (Regional): DE FR GB NL

US 6229506	B1			G09G-003/32	Provisional application US 9744174
------------	----	--	--	-------------	------------------------------------

KR 2001020114	A			G09G-003/10	
---------------	---	--	--	-------------	--

JP 2002514320	W		30	G09G-003/32	Based on patent WO 9848403
---------------	---	--	----	-------------	----------------------------

Abstract (Basic): WO 9848403 A

The display includes several pixels. Each pixel (200) includes a transistor (250) with a gate, a source and a drain. The gate is coupled to a select line (210). The source is coupled to a data line (220). A second transistor (270) has a gate, a source and a drain. The gate of the second transistor is coupled to the select line. The drain of the second transistor is coupled to a VDD line (295). The source of the second transistor is coupled to the drain of the first transistor. A third transistor (240) has a gate, a source and a drain. The gate of the third transistor is coupled to the select line.

A capacitor (280) has two terminals. The source of the third transistor is coupled to the first terminal of the capacitor. The second terminal of the capacitor is coupled to the drain of the first transistor. A fourth transistor (260) has a gate, a source and a drain. The source of the fourth transistor is coupled to the drain of the first transistor. The gate of the fourth transistor is coupled to the source of the third transistor. Finally there is a light element (290) with two terminals. The drain of the fourth transistor and the drain of the third transistor are coupled to one terminal of the light element.

ADVANTAGE - Reduces current non-uniformities and threshold voltage variations in 'drive transistor' of pixel structure.

Dwg. 2/7

Title Terms: ACTIVE; LIGHT; EMIT; DIODE; PIXEL; STRUCTURE; MATRIX; DISPLAY;  
LED; PIXEL; STRUCTURE; INCORPORATE; CURRENT; SOURCE; LOAD; DATA; PIXEL;  
DATA; LINE

Derwent Class: P85; T04; U12

International Patent Class (Main): G09G-003/10; G09G-003/32

International Patent Class (Additional): G09G-003/20

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-514320

(P2002-514320A)

(43) 公表日 平成14年5月14日 (2002.5.14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
G 0 9 G 3/32		G 0 9 G 3/32	A
3/20	6 2 4	3/20	6 2 4 B

審査請求 未請求 予備審査請求 有 (全 30 頁)

(21) 出願番号 特願平10-546378  
(86) (22) 出願日 平成10年4月23日 (1998.4.23)  
(85) 翻訳文提出日 平成11年10月22日 (1999.10.22)  
(86) 国際出願番号 P C T / U S 9 8 / 0 8 3 6 7  
(87) 国際公開番号 W O 9 8 / 4 8 4 0 3  
(87) 国際公開日 平成10年10月29日 (1998.10.29)  
(31) 優先権主張番号 6 0 / 0 4 4 , 1 7 4  
(32) 優先日 平成9年4月23日 (1997.4.23)  
(33) 優先権主張国 米国 (U S)  
(31) 優先権主張番号 0 9 / 0 6 4 , 6 9 6  
(32) 優先日 平成10年4月22日 (1998.4.22)  
(33) 優先権主張国 米国 (U S)

(71) 出願人 サノフ コーポレーション  
アメリカ合衆国 ニュー ジャージー州  
プリンストン シーエヌ-5300 ワシント  
ン ロード 201  
(72) 発明者 ドーソン, ロビン, マーク, アドリアン  
アメリカ合衆国 ニュー ジャージー州  
プリンストン コバーマイン ロード  
184  
(72) 発明者 ケイン, マイケル, ギリス  
アメリカ合衆国 ニュー ジャージー州  
スキルマン ロビン ドライヴ 44  
(74) 代理人 弁理士 山田 行一 (外1名)

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス発光ダイオードピクセル構造及び方法

(57) 【要約】

ピクセル構造の「駆動トランジスタ」の電流不均一性及び閾値電圧変化を低減するLEDピクセル構造 (200、300、400、600、700) を開示する。LEDピクセル構造は、電流源を組み込んでおり、データをピクセルにデータラインを通してロードする。代わりに、オートゼロの電圧は、駆動トランジスタデータのロードに先立って決定される。

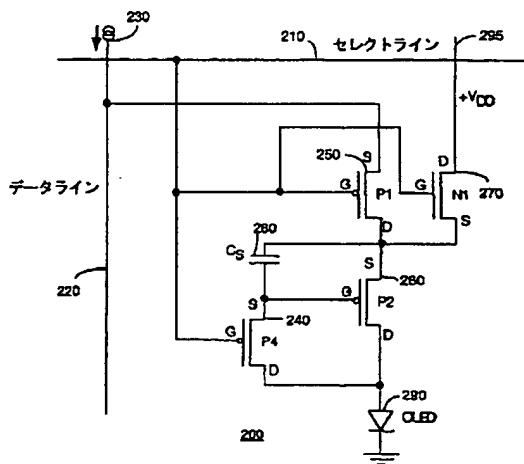


FIG. 2

## 【特許請求の範囲】

1. 複数のピクセルを含むディスプレイ（520）であって、各ピクセル（200）が、

ゲート、ソース及びドレインを有する第1のトランジスタ（250）であって、該ゲートがセレクトライン（210）結合され、該ソースがデータライン（220）に結合された第1のトランジスタ（250）と、

ゲートソース及びドレインを有する第2のトランジスタ（270）であって、該第2のトランジスタのゲートが前記セレクトラインに結合され、該第2のトランジスタのドレインがV<sub>DD</sub>ライン（295）に結合され、該第2のトランジスタのソースが前記第1のトランジスタの前記ドレインに結合された第2のトランジスタ（270）と、

ゲート、ソース及びドレインを有する第3のトランジスタ（240）であって、前記第3のトランジスタのゲートが前記セレクトラインに結合された第3のトランジスタ（240）と、

第1のターミナル及び第2のターミナルを有するコンデンサ（280）であって、前記第3のトランジスタの前記ソースが前記コンデンサの前記第1のターミナルに結合され、前記コンデンサの前記第2のターミナルが前記第1のトランジスタの前記ドレインに結合されたコンデンサ（280）と、

ゲート、ソース及びドレインを有する第4のトランジスタ（260）であって、該第4のトランジスタのソースが前記第1のトランジスタの前記ドレインに結合され、該第4のトランジスタのゲートが、前記第3のトランジスタの前記ソースに結合された第4のトランジスタ（260）と、

2つのターミナルを有する照明（light）部材（290）であって、前記第4のトランジスタの前記ドレイン及び前記第3のトランジスタの前記ドレインが、該照明部材の前記ターミナルのうちの1つに結合している照明部材（290）と

を含むディスプレイ（520）。

2. 前記データラインに結合するための電流源（230）を更に含む請求項1記

載のディスプレイ。

3. 複数のピクセルを含むディスプレイ（520）であって、各ピクセル（600）が、

ゲート、ソース及びドレインを有する第1のトランジスタ（250）であって、該ゲートがセレクトライン（210）に結合され、該ソースがデータライン（220）に結合された第1のトランジスタ（250）と、

ゲートソース及びドレインを有する第2のトランジスタ（610）であって、該第2のトランジスタのゲートがコントロールライン（620）に結合され、該第2のトランジスタのソースがV<sub>DD</sub>ライン（295）に結合され、該第2のトランジスタのドレインが前記第1のトランジスタの前記ドレインに結合された前第2のトランジスタ（610）と、

ゲート、ソース及びドレインを有する第3のトランジスタ（240）であって、該第3のトランジスタのゲートが前記セレクトラインに結合された第3のトランジスタ（240）と、

第1のターミナル及び第2のターミナルを有するコンデンサ（280）であって、該第3のトランジスタのソースが前記コンデンサの前記第1のターミナルに結合され、前記コンデンサの前記第2のターミナルが前記第1のトランジスタの前記ドレインに結合された、コンデンサ（280）と、

ゲート、ソース及びドレインを有する第4のトランジスタ（260）であって、該第4のトランジスタのソースが前記第1のトランジスタの前記ドレインに結合され、該第4のトランジスタのゲートが前記第3のトランジスタの前記ソースに結合された第4のトランジスタ（260）と、

2つのターミナルを有する照明部材（290）であって、前記第4のトランジスタのドレイン及び前記第3のトランジスタのドレインが前記照明部材の前記ターミナルのうちの1つに結合された照明部材（290）と、  
を含むディスプレイ（520）。

4. 各ピクセルが照明部材へのエネルギーの適用を制御する回路を含み、該回路が駆動トランジスタを含む複数のピクセルを有するディスプレイを照明する方法で

あって、

(a) データラインに電流を適用することによって前記ピクセルにデータをロードするステップと、

(b) 前記データを駆動トランジスタに結合されたコンデンサに記憶するステップと、

(c) 前記記憶データに従って前記照明部材を照明するステップと、を含む方法。

5. 前記電流が電流源によって提供される請求項4記載の方法。

6. 複数のピクセルを含むディスプレイ(520)であって、各ピクセル(300)が、

ゲート、ソース及びドレインを有する第1のトランジスタ(360)であって該ゲートがセレクトライン(320)に結合され、該ソースがデータライン(310)に結合された第1のトランジスタ(360)と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ(350)であって、該第1のトランジスタのドレインが前記第1のコンデンサの前記第1のターミナルに結合された第1のコンデンサ(350)と、

ゲート、ソース及びドレインを有する第2のトランジスタ(365)であって、該第2のトランジスタのソースがV<sub>DD</sub>ライン(390)に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合された第2のトランジスタ(365)と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ(355)であって、前記第2のトランジスタのゲートが該第2のコンデンサの該第1のターミナルに結合され、前記第2のトランジスタのソースが該第2のコンデンサの該第2のターミナルに結合された第2のコンデンサ(355)と、

ゲート、ソース及びドレインを有する第3のトランジスタ(370)であって

、該第3のトランジスタのゲートがオートゼロライン(330)に結合され、該第3のトランジスタのソースが前記第2のトランジスタの前記ゲートに結合され、該第3のトランジスタのドレインが、前記第2のトランジスタのドレインに結

合された第3のトランジスタ(370)と、

ゲート、ソース及びドレインを有する第4のトランジスタ(375)であって、該第4のトランジスタのゲートが照明ライン(340)に結合され、該第4のトランジスタのソースが前記第3のトランジスタのドレインに結合された第4のトランジスタ(375)と、

2つのターミナルを有する照明部材(380)であって、前記第4のトランジスタの前記ドレインが該照明部材のターミナルのうちの1つに結合された照明部材(380)と、

を含むディスプレイ。

7. 複数のピクセルを含むディスプレイ(520)であって、各ピクセル(400)が、

ゲート、ソース及びドレインを有する第1のトランジスタ(445)であって、前記ゲートがセレクトライン(420)に結合され、前記ソースがデータライン(410)に結合された第1のトランジスタ(445)と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ(450)であって、該第1のトランジスタのドレインが該第1のコンデンサの第1のターミナルに結合された第1のコンデンサ(450)と、

ゲート、ソース及びドレインを有する第2のトランジスタ(460)であって、該第2のトランジスタのソースがVSWPライン(440)に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合された第2のトランジスタ(460)と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ(455)であって、該第2のトランジスタのゲートが該第2のコンデンサの第1のターミナルに結合され、該第2のトランジスタのソースが該第2のコンデンサの第2のターミナルに結合された第2のコンデンサ(455)と、

ゲート、ソース及びドレインを有する第3のトランジスタ(465)であって、該第3のトランジスタのゲートがオートゼロライン(430)に結合され、該第3のトランジスタのソースが前記第2のトランジスタのゲートに結合され、該



第3のトランジスタのドレインが前記第2のトランジスタのドレインに結合された第3のトランジスタ(465)と、

2つのターミナルを有する照明部材(470)であって、前記第2のトランジスタのドレインが該照明部材のターミナルのうちの1つに結合された照明部材(470)と、

を含むディスプレイ。

8. 複数のピクセルを有するディスプレイを照明し、各ピクセルが照明部材へのエネルギーの適用を制御するための回路を含み、前記回路が駆動トランジスタを含む複数のピクセルを有するディスプレイを照明する方法であって、

(a) データラインに基準電圧を適用することによって、駆動トランジスタのためのオートゼロの電圧を決定するステップと、

(b) 前記基準電圧を前記データラインのデータ電圧に切り換えることによって、ピクセルの上のデータをローディングするステップと、

(c) 駆動トランジスタに結合されたコンデンサに前記データを記憶するステップと、

(d) 前記記憶データに従って前記照明部材を照明するステップと、を含む方法。

9. 2つのターミナルを有する照明部材を駆動する回路(300)であって、

ゲート、ソース及びドレインを有する第1のトランジスタ(360)であって、該ゲートはセレクトライン(320)を接続するためのものであり、該ソースはデータライン(310)を接続するためのものである第1のトランジスタ(360)と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ(350)であって、前記第1のトランジスタのドレインが該第1のコンデンサの第1のタ

ーミナルに結合された第1のコンデンサ(350)と、

ゲートソース及びドレインを有する第2のトランジスタ(365)であって、該第2のトランジスタのソースがV<sub>DD</sub>ライン(390)に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合され

た第2のトランジスタ(365)と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ(355)であって、前記第2のトランジスタのゲートが該第2のコンデンサの第1のターミナルに結合され、前記第2のトランジスタのソースが該第2のコンデンサの第2のターミナルに結合された第2のコンデンサ(355)と、

ゲート、ソース及びドレインを有する第3のトランジスタ(370)であって、該第3のトランジスタの前記ゲートがオートゼロライン(330)に結合されるためのものであり、該第3のトランジスタのソースは前記第2のトランジスタのゲートに結合され、該第3のトランジスタのドレインは前記第2のトランジスタの前記ドレインに結合されている第3のトランジスタ(370)と、

ゲート、ソース及びドレインを有する第4のトランジスタ(375)であって、該第4のトランジスタのゲートが照明ライン(340)に結合されるものであり、該第4のトランジスタのソースが前記第3のトランジスタのドレインに結合されており、該第4のトランジスタのドレインが照明部材に結合されるためのものである第4のトランジスタ(375)と、を含む回路(300)。

10. ディスプレイコントローラ(510)と、

前記ディスプレイコントローラに結合されたディスプレイ(520)と、を含むシステム(500)であって、

前記ディスプレイが複数のピクセルを含み、該ピクセル(300)が、

ゲート、ソース及びドレインを有する第1のトランジスタ(360)であって、該ゲートがセレクトライン(320)に結合され、該ソースがデータライン(310)に結合された第1のトランジスタ(360)と、

第1のターミナル及び第2のターミナルを有する第1のコンデンサ(350)であって、前記第1のトランジスタのドレインが前記第1のコンデンサの第1の

ターミナルに結合された第1のコンデンサ(350)と、

ゲート、ソース及びドレインを有する第2のトランジスタ(365)であって、該第2のトランジスタのソースがV<sub>DD</sub>ライン(390)に結合され、該第2のトランジスタのゲートが前記第1のコンデンサの前記第2のターミナルに結合さ

れた第2のトランジスタ(365)と、

第1のターミナル及び第2のターミナルを有する第2のコンデンサ(355)であって、前記第2のトランジスタのゲートが該第2のコンデンサの第1のターミナルに結合され、該第2のトランジスタのソースが該第2のコンデンサの第2のターミナルに結合された第2のコンデンサ(355)と、

ゲート、ソース及びドレインを有する第3のトランジスタ(370)であって、該第3のトランジスタのゲートがオートゼロライン(330)を結合し、該第3のトランジスタのソースが前記第2のトランジスタのゲートに結合し、該第3のトランジスタのドレインが前記第2のトランジスタのドレインに結合されている第3のトランジスタ(370)と、

ゲート、ソース及びドレインを有する第4のトランジスタ(375)であって、該第4のトランジスタのゲートが照明ライン(340)に結合され、該第4のトランジスタのソースが前記第3のトランジスタのドレインに結合された第4のトランジスタ(375)と、

2つのターミナルを有する照明部材(380)であって、前記第4のトランジスタのドレインが、前記照明部材の前記ターミナルのうちの1つに結合された照明部材(380)と、

を含むシステム(500)。

11. 複数のピクセルを含むディスプレイ(520)であって、各ピクセル(700)が、

ゲート、ソース及びドレインを有する第1のトランジスタ(710)であって、該ゲートがセレクトライン(770)に結合され、該ソースがデータライン(760)に結合された第1のトランジスタ(710)と、

ゲート、ソース及びドレインを有する第2のトランジスタ(720)であって

、前記第1のトランジスタのドレインが該第2のトランジスタのゲートに結合された第2のトランジスタ(720)と、

2つのターミナルを有するレジスタ(750)であって、前記第2のトランジスタのソースが該レジスタのターミナルのうちの1つに結合されたレジスタ(7

50) と、

2つのターミナルを有する照明部材(740)であって、前記第2のトランジスタのドレインが該照明部材のターミナルのうちの1つに結合された照明部材(740)と、を含むディスプレイ(520)。

## 【発明の詳細な説明】

## アクティブマトリックス発光ダイオードピクセル構造及び方法

本出願は、1997年4月23日に出願された米国仮出願第60/044,174号の利益を主張する。その内容は本明細書に援用されている。

本発明は、契約番号F33615-96-2-1944の下、米国政府の支持を得てなされた。米国政府は、本発明において確かな(certain)権利を有する。

本発明は、アクティブマトリックス発光ダイオードピクセル構造に関する。更に詳細には、本発明は、ピクセル構造の「駆動トランジスタ」において、電流不均一性及び閾値電圧変化を低減するピクセル構造、及び前記アクティブマトリックス発光ダイオードピクセル構造を動作する方法に関する。

## 開示の背景

マトリックスディスプレイは当該技術においてかなり知られており、図1で示すように、マトリックスアドレッシングを使用してピクセルが照明される(illuminate)。代表的なディスプレイ100は、行列(ロー及びカラム)に配置された複数のピクチャ又は表示部材(ピクセル)160を含む。ディスプレイは、カラムデータ発生装置110及びローセレクト発生装置120を組み込んでいる。動作中、各ローはローライン130を通して順に起動され、対応するカラムライン140を用いて対応するピクセルが起動させられる。パッシブマトリックスディスプレイでは、ピクセルの各ローは順に1つずつ照明されるが、アクティブマトリックスディスプレイでは、ピクセルの各ローは、最初にデータと共に連続してロードされる。

例えばラップトップコンピュータといったポータブルなディスプレイの使用が増加し、種々のディスプレイテクノロジー(例えば液晶ディスプレイ(LCD)及び発光ダイオード(LED)ディスプレイ)が、採用されてきている。これらの2つの技術の重要な差異は、LEDが発光装置であって、非発光装置(LCD等)よりもパワー効率上の利点を有することである。LCDにおいて、蛍光性の

バックライトは、ディスプレイが使用中である持続時間全体でオンであり、ピクセルを「オフ」するためにさえパワーを消費する。これに対して、LED(又は

OLED) ディスプレイは、起動されたピクセルのみを照明し、「オフ」ピクセルを照明しないことによってパワーを節約する。

OLEDピクセル構造を採用したディスプレイは、パワー消費量を低減することができるが、このようなピクセル構造は強度に不均一性を示す可能性があり、それは、製造による駆動トランジスタ及びトランジスタ不均一性の閾値電圧ドリフトに起因している。しかし、OLEDの明るさがOLEDを通過する電流に比例していることが判った。

従って、ピクセル構造の「駆動トランジスタ」における電流不均一性及び閾値電圧変化を低減するピクセル構造及び付随する方法が、当該技術に必要である。

#### 発明の概要

本発明の一実施形態では、電流源がLED(OLED)ピクセル構造の中に組み込まれており、ピクセル構造の駆動トランジスタでの電流不均一性及び閾値電圧変化を低減する。電流源はデータラインに結合されており、そこでは、一定の電流が最初にプログラムされており、それから収集される。

代替の実施形態では、オートゼロ(auto zero)電圧を決定して記憶するオートゼロフェーズで、基準電圧を最初に適用することによって一定の電流が達成される。オートゼロの電圧は、駆動トランジスタの閾値電圧を効果的に説明する。次に、同じ基準電圧に関連するデータ電圧が、ピクセルを照明するために、今、適用される。

他の実施形態では、レジスタがLED(OLED)ピクセル構造内に組み込まれており、駆動トランジスタの閾値電圧に対する、OLEDを通過した電流の依存の感度を下げるようになっている。

#### 図面の簡単な説明

本発明の教示内容は、添付図面に関連して、以下の詳細な説明を考慮することによって容易に理解されることができる。

図1は、マトリックスアドレッシングインタフェースのブロック図である。

図2は、本発明のアクティブマトリックスLEDピクセル構造の回路図である。

図3は、本発明のアクティブマトリクスLEDピクセル構造の代替の実施形態の回路図である。

図4は、本発明のアクティブマトリクスLEDピクセル構造の他の代替の実施形態の回路図である。

図5は、本発明の複数のアクティブマトリクスLEDピクセル構造を有するディスプレイを使ったシステムのブロック図である。

図6は、図2のアクティブマトリクスLEDピクセル構造の代替の実施形態の回路図である。

図7は、本発明のアクティブマトリクスLEDピクセル構造の代替の実施形態の回路図である。

理解を容易にするために、図に共通の同一の部材を示すために可能なところでは同一の参照数字を使用した。

#### 詳細な説明

図2は、本発明のアクティブマトリクスLEDピクセル構造200の回路図を示す。好ましい実施形態において、アクティブマトリクスLEDピクセル構造は、例えば、アモルファス又はポリシリコンを使用して製造されるトランジスタである薄膜トランジスタ(TFT)を使用して実行される。同じように、好ましい実施形態において、アクティブマトリクスLEDピクセル構造は、有機発光ダイオード(OLED)を組み込んでいる。本ピクセル構造は薄膜トランジスタ及び有機発光ダイオードを使用して実行されるが、本発明がトランジスタ及び発光ダイオードの他のタイプを使用して実行されることが理解されなくてはならない。例えば、他の材料を使用して製造されるトランジスタが上述したように閾値不均一性を示するならば、本発明は、照明部材を通して一定の電流を提供するために使われることができる。

本発明を、単一のピクセル又はピクセル構造として下に示すが、ピクセルはデ

ィスプレイを形成するために他のピクセルと(例えば配列で)使用することができることを理解しなければならない。更に、下の図は特定のトランジスタ形状を示すが、トランジスタのソースが電圧サインに対応することを理解されなければ

ならない。

図2について述べる。ピクセル構造200は、3つのPMOSトランジスタ240、250、260、NMOSトランジスタ270、コンデンサ280及びLED（OLED）290（光部材）を含む。セレクトライン210は、トランジスタ240、250及び270のゲートに結合されている。データラインはトランジスタ250のソースに結合され、+V<sub>DD</sub>ラインはトランジスタ270のドレインに結合されている。OLED290の1つの電極は、トランジスタ240及び260のドレインに結合されている。トランジスタ240のソースは、トランジスタ260のゲート及びコンデンサ280の1つのターミナルに結合されている。最後に、トランジスタ250のドレイン、トランジスタ270のソース、トランジスタ260のソース及びコンデンサ280の1つのターミナルは、全て1つに結合されている。

本ピクセル構造200は、大きな閾値電圧（ $V_t$ ）不均一性存在下で、均一な電流駆動を提供する。言い換えると、OLEDを横切って均一な電流を維持し、ディスプレイの強度の中で均一性を確保することが望ましい。

より詳細には、OLEDピクセル構造は、2つのフェーズ、ロードデータフェーズ及び連続照明フェーズにおいて動作される。

#### ロードデータフェーズ

ピクセル構造200は、適当なセレクトライン210を駆動させることによってデータがロードされ得る。即ち、セレクトラインが「ロー」にセットされると、トランジスタP4（240）は「オン」にされ、OLED290の陽極側の電圧がトランジスタP2（260）のゲートに送られる。同時に、トランジスタP1（250）も、「オン」にされ、データライン220からの一定の電流がトランジスタP2（260）及びOLED290の両方を流れる。即ち、トランジスタ260は、電流源230によって駆動された電流を下げるためにオンにする。

データラインを駆動する電流源230は、外部のデータによってプログラムされている。トランジスタ260（駆動トランジスタ）のソース電圧へのゲートは、次に電流を駆動するために必要な電圧に定まる。同時に、トランジスタN1（2



70)は「オフ」にされて、電源+V<sub>DD</sub>はOLED290から切り離される。一定の電流源230も、ソースからゲートへの電圧を自己調整し、固定オーバドライブ値(電圧)をトランジスタ260に適応させ、ポリシリコンTFET260の閾値変化を補う。オーバドライブ電圧は、データを示す。順番に、データは記憶コンデンサC<sub>S</sub>280の上で、適切に記憶される。これでデータののためのロード又はライトサイクルを完了する。

#### 連続照明フェーズ

セレクトラインが「ハイ」にセットされると、P1(250)及びP4(240)の両トランジスタは「オフ」にされ、トランジスタN1(270)は「オン」にされる。トランジスタ260の電源電圧がわずかに変化する可能性があるが、トランジスタ260のソースからゲートへの電圧が照明サイクル中の電流レベルを制御する。コンデンサ280を横切るトランジスタ270のV<sub>SG</sub>は、即座に変わることができない。このように、トランジスタ260のゲート電圧はソース電圧を追尾し、ソースからゲートへの電圧が、全体のロード及び照明フェーズを通して維持される。ポリシリコンTFETの漏れ電流及びOLEDのグレースケール輝度に要求される電圧解像度は、フレームタイムの有効データを保持するために必要な記憶コンデンサのサイズを決定する。好ましい実施形態において、コンデンサは0.25 p fのオーダーにある。即ち、トランジスタ260の電流漏れを考慮するのにコンデンサは十分大きいであろう。これで照明フェーズピクセル動作を完了する。

各データ/カラムライン220はそれ自身のプログラムされた一定の電流源230を有する点に留意する必要がある。照明フェーズ中に、データラインに後続のプログラムされた電流源が送られ、全てのピクセルの次のローをロードして、前のローのピクセルが照明フェーズの中で全フレーム時間動作している。このように、図2のピクセル構造は、2.5のラインを有する1つのNMOSTランジ

スタ及び3つのPMOSTランジスタのみを必要とする。(隣接のピクセルと共有されうるV<sub>DD</sub>電圧供給、セレクトライン、データライン電流ソース)。

代替として、図6は、図2のピクセル構造が、全てのPMOSTランジスタを

有して実行される実施例を示し、それは、PMOS又はNMOSプロセスのみのどちらを使用しても経済的である。NMOSトランジスタN1は、PMOS P3トランジスタ610で置換されている。しかし、追加のライン（制御ライン）620はトランジスタ610のゲートに結合され、追加のPMOSトランジスタをアドレッシングし、もって合計3.5のライン（即ち追加のPMOSゲートを制御するための追加の電圧供給）を必要とする。

要するに、図2及び図6のピクセル構造は、トランジスタ260の $V_{SG}$ 上での自調整／トラッキング機構によって、またOLED290を通して一定の電流源を供給することによって、ポリシリコンTFT及びOLEDの両方の閾値変化を補うために設計されている。実際、図2及び図6のピクセル構造は、ロード及び照明フェーズの両方の最中に高電圧供給を有する適当な動作を達成することができる。これらのピクセル構造は、OLED又はピクセルポリシリコンTFTの両方での不安定にもかかわらず、良好なグレースケール均一性及び高いライフタイムを有する高品質のOLEDディスプレイを設計するために実行されることができる。

図3は、本アクティブマトリックスピクセル構造の代替の実施形態を示す。代替の実施形態において、データライン電圧は、ピクセル構造内で電流に変換され、図2及び図6で上述した電流源の実施のような電圧電流変換器を必要としない。

図3について述べる。ピクセル構造300は、4つのPMOSトランジスタ（360、365、370、375）、2つのコンデンサ350及び355及びLED（OLED）380を含む。セレクトライン320は、トランジスタ360のゲートに結合している。データライン310はトランジスタ360のソースに結合され、+V<sub>DD</sub>ラインはトランジスタ365のソース及びコンデンサ355の1つのターミナルに結合されている。オートゼロライン330はトランジスタ370のゲートに結合され、照明ラインはトランジスタ375のゲートに結合

されている。OLED280の1つの電極は、トランジスタ375のドレインに結合されている。トランジスタ375のソースは、トランジスタ365及び37

0のドレインに結合されている。トランジスタ360のドレインは、コンデンサ350の1つのターミナルに結合されている。最後に、トランジスタ365のゲート、トランジスタ370のソース、コンデンサ350の1つのターミナル及びコンデンサ355の1つのターミナルは、全て結合されている。

より詳細には、図3は3つのフェーズの中で動作されるピクセル構造300を示す。即ち、1) オートゼロフェーズ、2) ロードデータフェーズ、3) 照明フェーズである。

#### オートゼロ

オートゼロライン330及び照明ライン340が「ロー」にセットされると、トランジスタP2(375)及びP3(370)は、「オン」に変わり、トランジスタP1(365)のドレイン側の電圧は、ゲートに送られ、一時的にダイオードに連結される。データライン310は「基準電圧」にセットされ、セレクトライン320は「ロー」にセットされる。基準電圧は任意にセットされることができ、それは最高データ電圧より大きくなくてはならない。

次に、照明ライン340は「ハイ」にセットされ、トランジスタP2 375が「オフ」にされる。ピクセル回路は、今、トランジスタP1 365(駆動トランジスタ)の閾値に定まり、もってデータラインの基準電圧とコンデンサC<sub>g</sub> 350のトランジスタP1 365の閾値電圧との間の差異である電圧(オートゼロ電圧)を記憶する。これによって、ゲート電圧、又はより正確にはトランジスタ365のV<sub>SG</sub>をトランジスタ365の閾値電圧にセットする。これは、次に、トランジスタP1(365)上に、閾値電圧変化に関係なく固定オーバドライブ電圧を提供する。最後に、オートゼロライン330は「ハイ」にセットされ、トランジスタP1 365のゲートを絶縁する。オートゼロの目的は、これから達成される。

#### ロードデータフェーズ

オートゼロフェーズの終わりに、セレクトラインは「ロー」にセットされ、データラインは「基準電圧」であった。今、データライン310は、データ電圧にセットされる。データ電圧は、トランジスタP1(365)のゲート上にコンデ

ンサC<sub>350</sub>を通して送られる。次に、セレクトラインは、「ハイ」にセットされる。このように、トランジスタ365のV<sub>SG</sub>は、一定の電流レベルを提供するために、トランジスタ365に固定オーバドライブ電圧を提供する。これはロードデータフェーズを終了し、ピクセルは照明用となる。

デセレクト (deselect、選択から外す) ローフェーズ中の連続照明データフェーズ

データ電圧がトランジスタP1 (365) のゲート上で記憶されると、照明ライン340が「ロー」にセットされ、トランジスタP2 375が「オン」にされる。トランジスタP1 365によって供給される電流は、OLED380を通して流れることができるようになる。要するに、トランジスタ365は一定の電流源のように機能する。これで照明フェーズが完了する。

図4に、本アクティブマトリックスピクセル構造の代替の他の実施形態を示す。代替の実施形態において、データライン電圧はまた、ピクセル構造の内で電流に変換され、電流源の図2及び6で上述したように、電流源での実施のような電圧電流変換器を必要としない。

図4について述べる。ピクセル構造400は、3つのPMOSトランジスタ (445、460、465)、2つのコンデンサ450及び455及びLED (OLED) 470を含む。セレクトライン420は、トランジスタ445のゲートに結合している。データライン410はトランジスタ445のソースに結合され、VSWPラインはトランジスタ460のソース、コンデンサ455の1つのターミナルに結合される。オートゼロライン430は、トランジスタ465のゲートに結合されている。OLED470の1つの電極は、トランジスタ465及び460のドレインに結合されている。トランジスタ445のドレインは、コンデンサ450の1つのターミナルに結合されている。最後に、トランジスタ4

60のゲート、トランジスタ465のソース、コンデンサ450の1つのターミナル及びコンデンサ455の1つのターミナルは、全て結合されている。

より詳細に、図4は、3つのフェーズの中で動作されるピクセル構造400を示す。即ち、1) オートゼロフェーズ、2) ロードデータフェーズ、3) 照明フ

エーズである。

#### オートゼロ (VSWPによる) フェーズ

VSWP (供給を切り換える電圧) は「ローワ (より低い、lower) 電圧」に量「 $\Delta V$ 」だけセットされる。ここで、ローワ電圧は、OLED 470 が少量の電流 (例えば、ナノアンプのオーダーで、OLED 特性に依存して) を少しずつ流すように選択される。ローワ電圧は、コンデンサに結合された  $C_0$  (450) とトランジスタ P4 (445) との間の浮動ノード (f によるダイリユーションなしでトランジスタ P1 (460)  $V_{G(P1)}$  のゲートを通して結合される。オートゼロライン 430 は、次に「ロー」セットされる。トランジスタ P1 (460) (駆動トランジスタ) は、トランジスタ P3 (465) を閉じることによってダイオードとして一時的に連結される。セレクトライン 420 は次に「ロー」にセットされ、「基準電圧」はデータライン 410 に適用される。基準電圧は任意にセットされることができる、しかし、最高データ電圧より大きくなくてはならない。ピクセル回路は、今、トランジスタ P1 460 の閾値に定まることができる。最後に、オートゼロライン 430 は次に「ハイ」にセットされ、トランジスタ P1 460 のゲートを絶縁する。オートゼロフェーズの効果は、記憶装置にコンデンサ  $C_0$  450 に電圧 (オートゼロ電圧) を記憶することであり、それはデータライン上基準電圧と P1 460 のトランジスタ閾値電圧との間での差異を表す。これはオートゼロフェーズを完了する。

#### ロードデータフェーズ

オートゼロのフェーズの終わりで、セレクトラインは「ロー」にセットされ、データラインは「基準電圧」であった。次に、データラインは、基準電圧から、データにおける変化がデータに参照されるローワ電圧 (データ電圧) まで切り換

えられる。順番に、データ電圧 (データ入力) はロードされてコンデンサ 450 及び 455 を通してトランジスタ P1 460 のゲートに結合される。トランジスタ 460 の電圧  $V_{SG}$  は、トランジスタ P1 (460) に、固定オーバドライブ電圧を提供し、OLED 470 電流を駆動する。即ち、データ電圧は、トランジスタ P1 460 の上でオーバドライブ電圧に変換される。コンデンサ 450 上

で記憶される電圧が、トランジスタP1 460の閾値電圧の原因であるので、オーバドライブ電圧全体が、今、トランジスタP1の閾値電圧と独立である。セレクトライン420は、次に「ハイ」にセットされる。これはロードデータフェーズを完了する。

デセレクトローフェーズ中に連続的に、データを照明する

データロードフェーズの完了で、トランジスタP1 460のゲートが、今、容量結合を除いて絶縁され、OLEDを駆動するためのオーバドライブ電圧がコンデンサC<sub>g</sub>455に記憶される。次に、VSWPは最初のハイア（より高い、higher）電圧（照明電圧）に戻される。続いてVSWPが上がり、今、照明のためにOLEDを駆動する十分な電圧が存在する。即ち、セレクトライン420が「ハイ」にセットされると、トランジスタP3（465）及びP4（445）の両方は「オフ」に変えられ、データ電圧は以前のようにトランジスタ460のV<sub>SG</sub>の上に記憶されたままである。ソースからゲートへの電圧V<sub>SG</sub>(P1)は同様に全体の照明フェーズを通して維持され、それはOLEDを通しての電流レベルが一定のことを意味する。これで照明サイクルを完了する。

要するに、図3は、4つのPMOSTランジスタ及び3と1/2ラインを有する1つの結合コンデンサを使用するピクセル構造を開示する。（オートゼロライン及びVDDH電圧供給は、両方とも共有されることができる）。図4は、3つのPMOSTランジスタ及び2と1/2ラインを有する1つの結合コンデンサだけを使用したピクセル構造を開示する。（電源を切り換えるVSWPは、隣接のピクセルと共用する）これらの2つのピクセル構造の両方を照明、及びV<sub>SG</sub>(P1)上のオートゼロとリクエストリング電流機構によって、ポリシリコンTFT及びOLEDの閾値変化を補うことができる前記の2つの（2）ピクセル構造も

、ポリシリコンNMOSの中で及びアモルファスNMOS設計の中で実行されることができる。

図3及び図4の2つの（2）ピクセル構造が、OLED又はピクセルポリシリコンTFTにおける不安定にもかかわらず、良好なグレースケール均一性及び長い寿命を有する高品質のOLEDを設計するために実行されることができる。

図7は、本発明のアクティブマトリックスLEDピクセル構造700の回路図を示す。好ましい実施形態で、アクティブマトリックスLEDピクセル構造は、薄膜トランジスタ(TFT)(例えばポリシリコン又はアモルファスシリコンを使用して製造されるトランジスタ)を使用して実行される。同様に、好ましい実施形態で、アクティブマトリックスLEDピクセル構造は、有機発光ダイオード(OLED)を組み込んでいる。本ピクセル構造は薄膜トランジスタ及び有機発光ダイオードを使用して実行されるが、本発明がトランジスタ及び発光ダイオードの他のタイプを使用して実行されることができるとは理解されなければならない。

本ピクセル構造700は、大きな閾値電圧( $V_t$ )不均一性存在下で、均一な電流駆動を提供する。換言すると、OLEDsを通して均一な電流を維持することが望ましく、もってディスプレイ強度における均一性が確保される。

図7について述べる。ピクセル構造700は、2つのPMOSTランジスタ710及び720、コンデンサ730、レジスタ750及びLED(OLED)740(光部材)を含む。セレクトライン770は、トランジスタ710のゲートに結合されている。データライン760は、トランジスタ710のソースに結合されている。レジスタ750の1つのターミナルはトランジスタ720のソースに結合され、OLED740の1つの電極はトランジスタ720のドレインに結合されている。最後に、トランジスタ710のドレイン、トランジスタ720のゲート及びコンデンサ730の1つのターミナルは、全て結合されている。

より詳細には、ピクセル構造を含むローがアクティブローとして選択されるとき、セレクトライン770の論理的「ハイ」レベルは、トランジスタM1710をオンにし、コンデンサC730がデータライン760から電圧 $V_g$ まで充電されることができるようになっている。ローがセレクトライン770で「ロー」レ

ベルによってデセレクトされた後、トランジスタM1をオフにし、コンデンサ730の電圧がフレーム時間のために記憶される。電圧がトランジスタM2720のゲートに現れるので、それは、電流を、トランジスタ720を通し、ドレインに位置するOLED740も通り抜けるようにセットする。

更に重要なことは、レジスタ750が本ピクセル構造で実行されることである。レジスタは、トランジスタ720のソースに結合されて、マイナスのフィードバック部材として機能する。個々の駆動トランジスタが異常に低い閾値電圧を有するならば、トランジスタは、OLEDにより多くの電流を通過する傾向があるが、追加の電流は、レジスタ750を横切る追加の電圧低下を引き起こし、もって電流を低減する。

相補的な影響が、異常に高い閾値電圧を有する駆動トランジスタに起こる。全体の影響は、電流の不均一性を低減することである。レジスタが、TFTで達成される閾値電圧均一性より非常に良好な抵抗均一性を有して一般に形成されることが判った。1つの理由はTFT閾値電圧がアクティブなシリコン材料のトラップ密度に非常に敏感であるのに、レジスタの中で使用されるドーパされた層の抵抗はトラップ密度に対してそれほど敏感でないことである。測定値は、抵抗の百分率変化がポリシリコンディスプレイウェーハを横切って非常に小さいことを示し、抵抗が変わる範囲で、トランジスタ閾値と違って滑らかに変化することが予想される。

OLED740を通り抜ける電流は、輝度を決定する。しかし、TFTを使用してピクセルが実行されるとき、TFTの閾値電圧も、上述のようライフにわたって変化することができることが観察された。加えて、TFT閾値電圧の初期不均一性があるであろう。閾値がOLEDを通して確定される電流に関して、電圧は強い影響を有しないので、トランジスタ710に関するそのような不均一性が問題でない点に留意する必要がある。これに対して、駆動トランジスタ720の閾値電圧における変化は、OLEDを通して直接に電流に影響を及ぼす。

より詳細には、電流、本ピクセル構造の中のOLEDを通り抜ける $I_{OLED}$ は、以下のように表されることができる

$$I_{OLED} = \frac{K'}{2} \frac{W}{L} (V_g - V_t - I_{OLED} R)^2 \quad (1)$$

$K'$  はトランジスタM2の固有相互コンダクタンスパラメータ、 $W$ 及び $L$ はその幅及び長さ、 $V_t$ は閾値電圧、 $V_g$ はデータラインからの電圧であり、レジスタ



R750は好ましい実施形態で1Mの値を有する。しかし、抵抗値は、駆動トランジスタ特性に従って、100K~10Mであることができる。本ピクセル構造が、電流変動を、以下で述べる本発明のレジスタなしで可能な変動の1/3に低減することができることが、観察された。

より詳細には、トランジスタ720のソースに結合されたレジスタを備え、閾

値電圧変化  $\frac{1}{I_{OLED}} \frac{dI_{OLED}}{dV_t}$  に対する、ダイオードを通した電流の規準化された

感度は、以下の通りである。

$$-2/(V_g - V_t + I_{OLED} R). \quad (2)$$

可能な限りゲート電圧  $V_g$  を増やすことは有益であるが、トランジスタ720が飽和内にとどまらなければならないという限界を有する。レジスタ ( $I_{OLDR}$ ) を横切って電圧降下をもたらすことによって、閾値電圧変化への感度は、レジスタなしで達成可能なもの以下に低減されることができる。最終的に、項 ( $I_{OLDR}$ ) は ( $V_g - V_t$ ) よりも大きくなることできない。理由は、そのような結果がトランジスタ720がオフにされたこと意味するからである。従って、トランジスタ720のソースの中でレジスタを置くことによって達成されることができる感度における最大の低減は、2のファクタである。

しかし、ソースの中にレジスタを置くことは、トランジスタ720の幅Wが増加することを認め、そのような増加は閾値電圧の標準偏差を低減する。固定最大ゲート電圧、Wは増加されることができるので、 $\sigma_{V_t}$ 内の統計的低減からより

多くの利益を引き出す。このようにレジスタをトランジスタ720のソースに置くことによって、電流変動における低減は以下の(1)、(2)の影響の組合せ

を通して達成される。即ち(1)感度を閾値変化  $\frac{1}{I_{OLED}} \frac{dI_{OLED}}{dV_t}$  に低

減 ( $2\times$ 又は50%の低減である理論上の最大利益に制限)、及び、(2)閾値変化  $\sigma_{V_t}$  自体の低減 (幾何学的及びキャパシタンス制約を除いて限界がない) である。

図5は、本発明の複数のアクティブマトリックスLEDピクセル構造200、300、400、600又は700を有するディスプレイ520を使ったシステム500のブロック図を示す。システム500は、ディスプレイコントローラ510及びディスプレイ520を含む。

より詳細には、ディスプレイコントローラは、汎用コンピュータとして実施されることができ、当該コンピュータは中央処理装置CPU512、メモリ514及び複数のI/O装置416（例えば、マウス、キーボード、記憶装置、例えば磁気及び光学の駆動装置、モデムなどを有している。ディスプレイ520を起動させるソフトウェア命令は、メモリ514にロードされることができ、CPU512によって実行されることができる。

ディスプレイ520は、ピクセルインタフェース522及び複数のピクセル（ピクセル構造200、300、400、600又は700）を含む。ピクセルインタフェース522は、ピクセル200、300、400、600又は700を駆動するために必要な回路を含む。例えば、ピクセルインタフェース522は図1で示したマトリクスアドレッシングインタフェースでありえる。

このように、システム500はラップトップコンピュータとして実行されることができる。代わりに、ディスプレイコントローラ510は、他の方法において実行することができ、それは、例えばマイクロコントローラ又はアプリケーション特定の集積回路（ASIC）、又はハードウェア及びソフトウェア命令の組合せである。要するに、システム500は、本発明のディスプレイを組み込んだより大きいシステム内で実行されることができる。

本発明はPMOSトランジスタを使用して記載したが、本発明がNMOSトランジスタを使用して実行されることができることは理解されなければならない。

なお、そこでは、関連した電圧は逆にされる。即ち、OLEDは、今、NMOS駆動トランジスタのソースに結合される。OLEDを裏返すので、OLEDのカソードは、透明な材料で作られなければならない。

本発明の教示内容を組み込んだ種々の実施形態を示して本明細書で詳細に記載したが、当業者は、容易にこれらの教示内容を組み込んだ多くの他の様々な実施

形態を工夫することができる。

【図1】

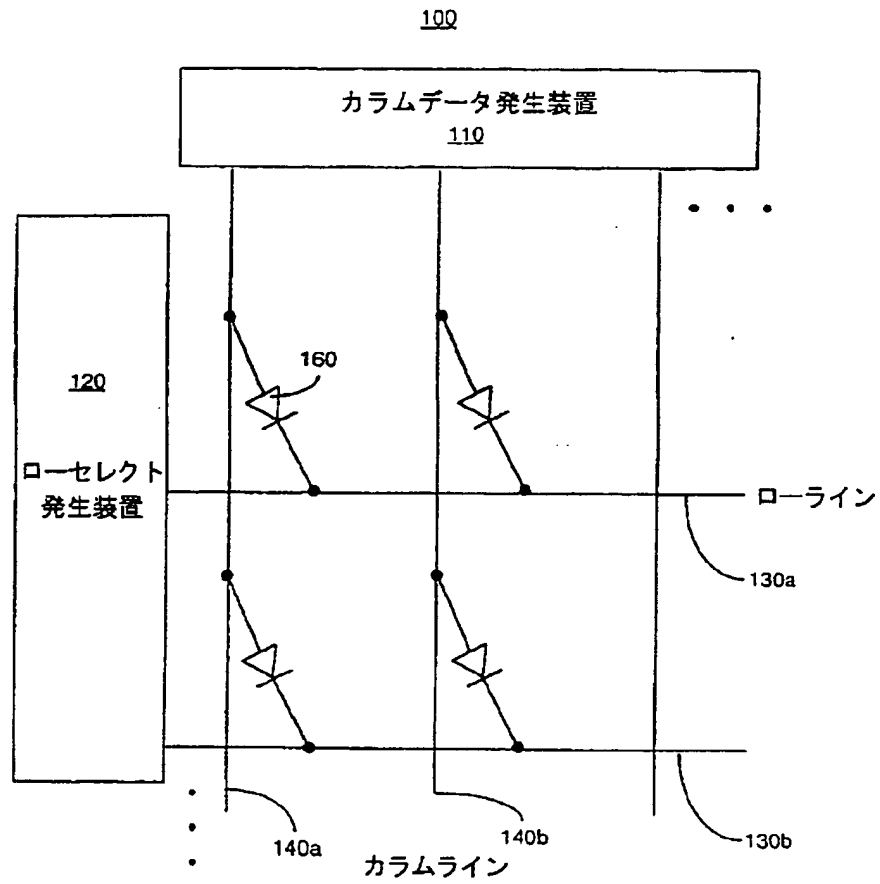


FIG. 1

【図2】

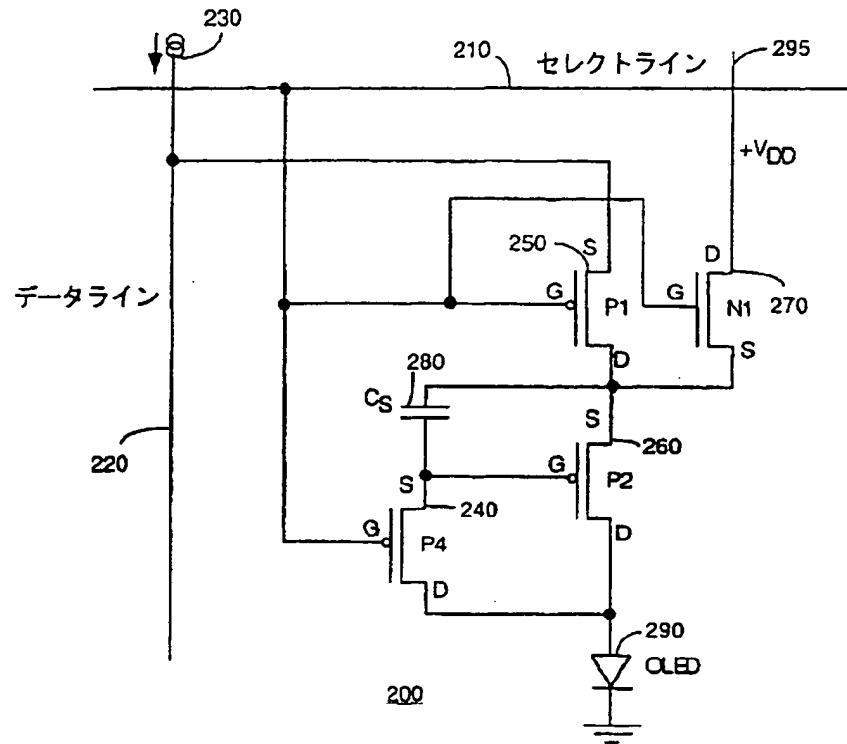


FIG. 2

【図3】

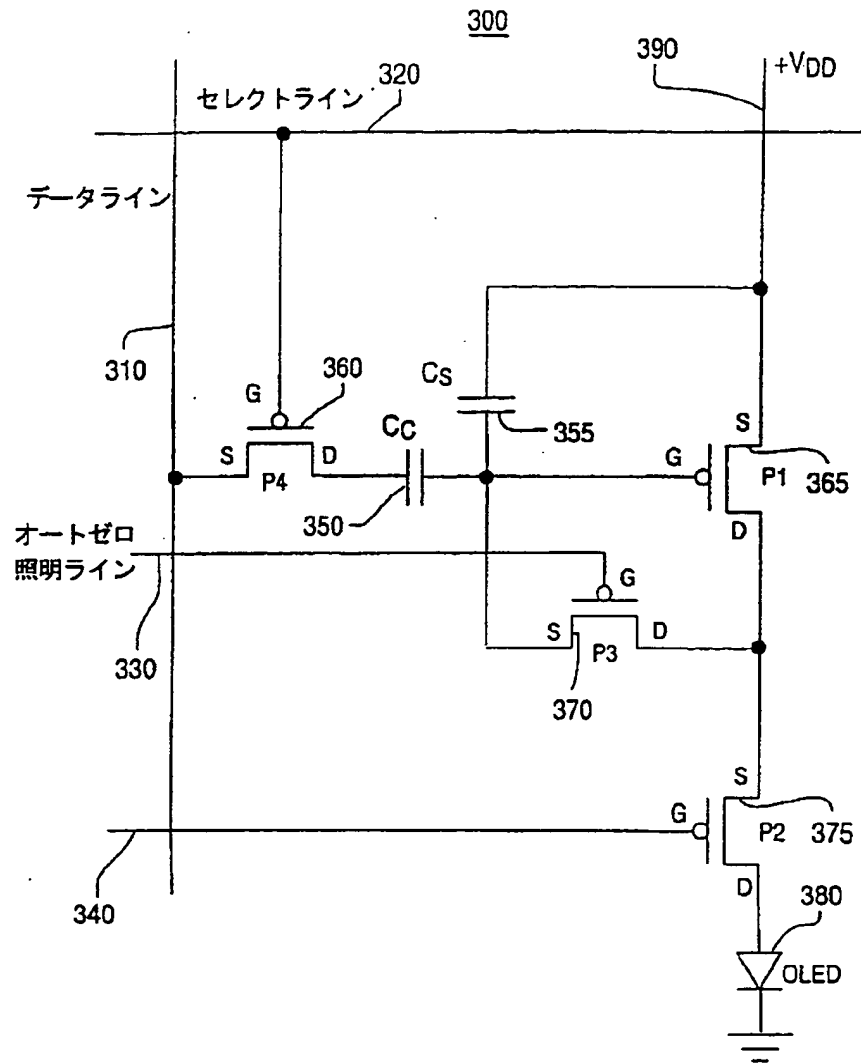


FIG. 3

【図4】

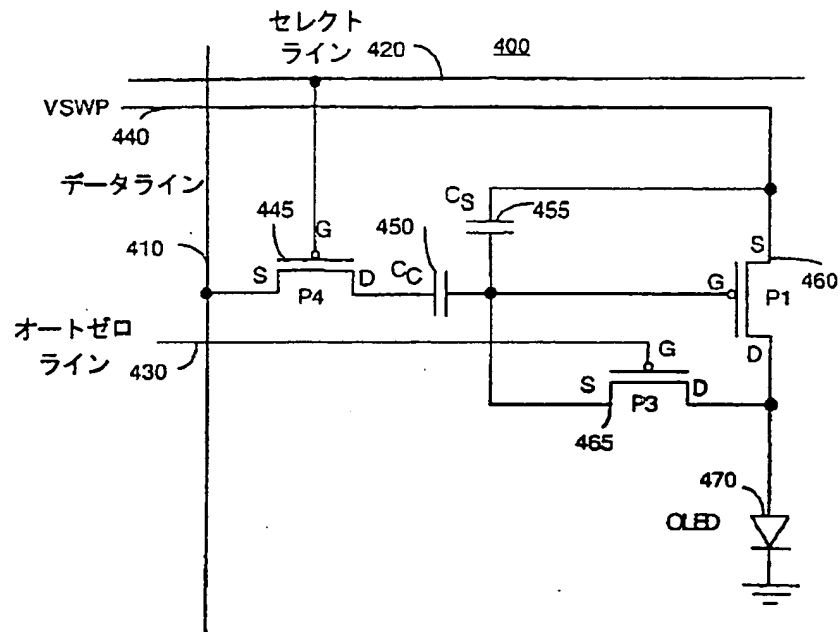


FIG. 4

【図5】

500

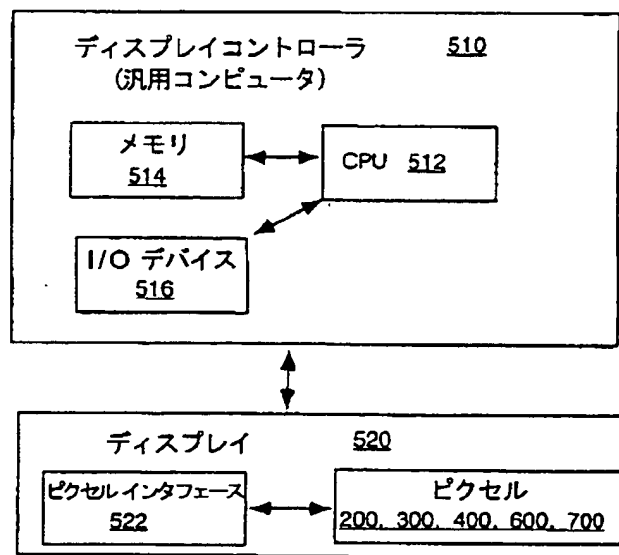


FIG. 5

【図6】

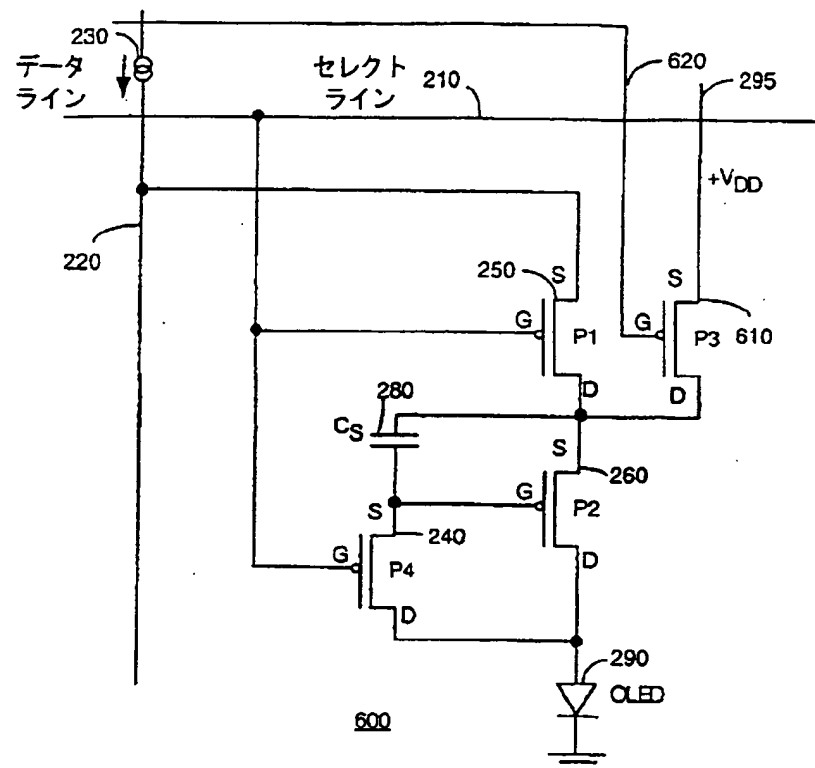


FIG. 6

【図7】

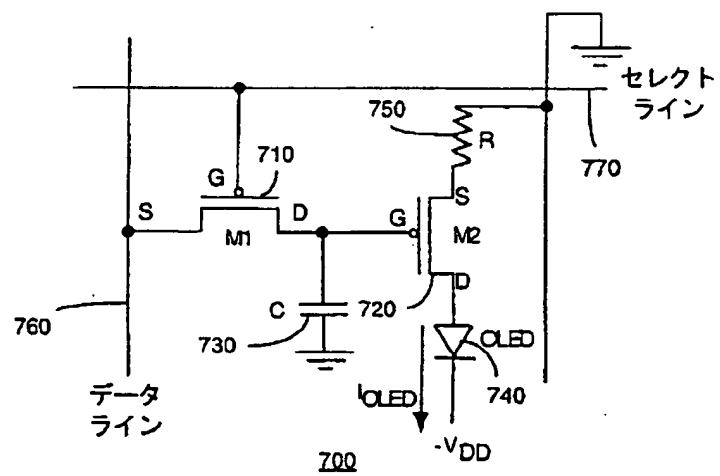


FIG. 7

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US98/08367																		
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(6) : G09G 03/10 US Cl. : 315/169.3, 169.1, 345/76, 92 According to International Patent Classification (IPC) or to both national classification and IPC																				
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 315/169.3, 169.1, 164, 160; 345/76, 92, 77, 147 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE																				
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>																				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	US 5,302,966 A (STEWART) 12 April 1994 (12/04/94), see figures 2 and 4.	11																		
A	US 5,463,279 A (KHORMAEI) 31 October 1995 (31/10/95), see entire document.	1-11																		
A, P	US 5,684,365 A (TANG ET AL) 04 November 97 (04.11.97) see entire document.	1-11																		
X	US 5,095,248 A (SATO) 10 March 1992 (10/03/92), see figure 4.	11																		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																				
<table border="0"> <tr> <td>* Special categories of cited documents:</td> <td>"T"</td> <td>later document published after the international filing date or priority date and not in conflict with the application but cited to underpin the principle or theory underlying the invention</td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"X"</td> <td>document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"E" earlier document published on or after the international filing date</td> <td>"Y"</td> <td>document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"A"</td> <td>document member of the same patent family</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td></td> <td></td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> <td></td> </tr> </table>			* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to underpin the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier document published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"A"	document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means			"P" document published prior to the international filing date but later than the priority date claimed		
* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to underpin the principle or theory underlying the invention																		
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																		
"E" earlier document published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																		
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"A"	document member of the same patent family																		
"O" document referring to an oral disclosure, use, exhibition or other means																				
"P" document published prior to the international filing date but later than the priority date claimed																				
Date of the actual completion of the international search 16 JUNE 1998		Date of mailing of the international search report 31 AUG 1998																		
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-7724		Authorized officer J. HAISSA PHILOGENE Telephone No. (703) 305-3485																		



## フロントページの続き

- (31) 優先権主張番号 09/064,697  
(32) 優先日 平成10年4月22日(1998. 4. 22)  
(33) 優先権主張国 米国(US)  
(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR  
(72) 発明者 スー, ジェイムズ, ヤーコング  
アメリカ合衆国 ニュー ジャージー州  
エディソン ハナ ロード 7107  
(72) 発明者 スー, フーラング  
アメリカ合衆国 ニュー ジャージー州  
克蘭ベリー キングレット ドライヴ  
サウス 14  
(72) 発明者 イブリ, アルフレッド, チャールズ  
アメリカ合衆国 ニュー ジャージー州  
プリンストン コツウォルド レーン 7  
(72) 発明者 ステュワート, ロジャー, グリーン  
アメリカ合衆国 ニュー ジャージー州  
ネシャニック ステーション スキー ド  
ライヴ 3